

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DERWENT-ACC-NO: 1999-319182

DERWENT-WEEK: 200247

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Wiring pattern for semiconductor device - has
signal line wiring which is set to be at preset distance
from dummy pattern formed over it

PATENT-ASSIGNEE: MATSUSHITA ELECTRONICS CORP[MATE]

PRIORITY-DATA: 1997JP-0275672 (October 8, 1997)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 11111718 A	April 23, 1999	N/A 012
H01L 021/3205		
JP 3299486 B2	July 8, 2002	N/A 015

H01L 021/3205

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 11111718A	N/A	1997JP-0275672
October 8, 1997		
JP 3299486B2	N/A	1997JP-0275672
October 8, 1997		
JP 3299486B2	Previous Publ.	JP 11111718 N/A

INT-CL (IPC): H01L021/3205

ABSTRACTED-PUB-NO: JP 11111718A

BASIC-ABSTRACT:

NOVELTY - A dummy pattern (5) is formed over a signal line wiring which
inturn
is formed on a semiconductor substrate. The distance between the dummy
pattern
and the wiring is set to be ranging from 3-200 mu m. DETAILED
DESCRIPTION - An
INDEPENDENT CLAIM is also included for manufacturing method of
semiconductor
device.

USE - For semiconductor device.

ADVANTAGE - Since the distance between the dummy pattern and the wiring is set to be ranging from 3-200 μ m, the parasitic capacitance between the wiring is reduced sufficiently and the effect of flattening is exhibited by the dummy pattern. DESCRIPTION OF DRAWING(S) - The figure shows the conceptual diagram of semiconductor device layout. (5) Dummy pattern.

CHOSEN-DRAWING: Dwg.1/11

TITLE-TERMS: WIRE PATTERN SEMICONDUCTOR DEVICE SIGNAL LINE WIRE SET
PRESET

DISTANCE DUMMY PATTERN FORMING

DERWENT-CLASS: U11

EPI-CODES: U11-C05D; U11-D03C1A;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1999-239398

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-111718

(43) 公開日 平成11年(1999) 4月23日

(51) Int.Cl.⁹
H 0 1 L 21/3205

識別記号

F I
H 0 1 L 21/88

Z

審査請求 未請求 請求項の数15 O L (全 12 頁)

(21) 出願番号 特願平9-275672

(22) 出願日 平成9年(1997)10月8日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 藤居 豊和

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 松本 晋

大阪府高槻市幸町1番1号 松下電子工業株式会社内

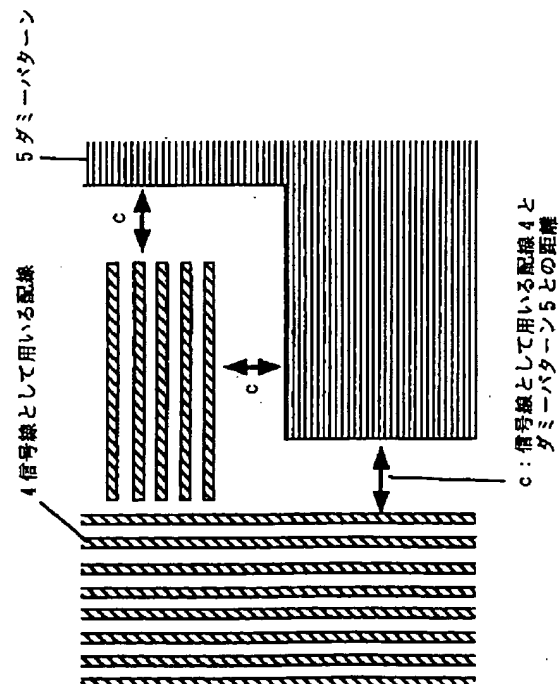
(74) 代理人 弁理士 宮井 暎夫

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ダミーパターンを用いても、寄生容量が増加せず、またダミーパターンが存在することによるパターン修正頻度の増加をなくす。

【解決手段】 半導体基板1上の配線2と、この配線2が存在する半導体基板1上の全面に形成されて上面が平坦化された層間絶縁膜3とを備えた半導体装置であって、配線2がダミーパターン5を有し、このダミーパターン5と信号線として用いる配線4との距離が、 $3\mu\text{m}$ 以上で $200\mu\text{m}$ 以下となるように設定されている。配線間隔を $3\mu\text{m}$ 以上とすることにより寄生容量を無視でき、動作速度は遅くならない。また、ダミーパターン5が配線パターンと $200\mu\text{m}$ 程度離れた箇所に存在しても、十分にダミーパターン5として平坦化への効果を発揮することができる。これに伴い、他のレイヤのパターンを修正するときでも、ダミーパターン5の修正の必要がなくレイアウト修正が容易になる。



【特許請求の範囲】

【請求項1】 半導体基板上の配線と、この配線が存在する前記半導体基板上の全面に形成されて上面が平坦化された層間絶縁膜とを備えた半導体装置であって、前記配線がダミーパターンを有し、このダミーパターンと信号線として用いる配線との距離が、 $3\mu\text{m}$ 以上で $200\mu\text{m}$ 以下となるように設定したことを特徴とする半導体装置。

【請求項2】 半導体基板上の配線と、この配線が存在する前記半導体基板上の全面に形成されて上面が平坦化された層間絶縁膜とを備えた半導体装置であって、前記配線がダミーパターンを有し、このダミーパターンが半導体チップ周囲のスクライブレーンの部分に存在することを特徴とする半導体装置。

【請求項3】 半導体基板上の配線と、この配線が存在する前記半導体基板上の全面に形成されて上面が平坦化された層間絶縁膜とを備えた半導体装置であって、前記配線がダミーパターンを有し、このダミーパターンがボンディングパッドの部分に存在することを特徴とする半導体装置。

【請求項4】 半導体基板上の配線と、この配線が存在する前記半導体基板上の全面に形成されて上面が平坦化された層間絶縁膜とを備えた半導体装置であって、前記層間絶縁膜が化学機械研磨による研磨速度の遅い下層層間絶縁膜と、化学機械研磨による研磨速度の早い上層層間絶縁膜とで構成されていることを特徴とする半導体装置。

【請求項5】 下層層間絶縁膜がCVD酸化膜、上層層間絶縁膜がBPSG膜である請求項4記載の半導体装置。

【請求項6】 層間絶縁膜が化学機械研磨による研磨速度の遅い下層層間絶縁膜と、化学機械研磨による研磨速度の早い上層層間絶縁膜とで構成されている請求項1、2または3記載の半導体装置。

【請求項7】 ダミーパターンがブロック状に配列されている請求項1、2または3記載の半導体装置。

【請求項8】 ダミーパターンのブロックのスペースが $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下で、ラインが $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下である請求項7記載の半導体装置。

【請求項9】 半導体基板上に第一の配線を形成する工程と、前記第一の配線を形成した前記半導体基板上の全面に層間絶縁膜を形成する工程と、前記層間絶縁膜を化学機械研磨により平坦化する工程と、平坦化された層間絶縁膜上に第二の配線を形成する工程とを含む半導体装置の製造方法であって、前記第一の配線がダミーパターンを有し、このダミーパターンと信号線として用いる配線との距離が、 $3\mu\text{m}$ 以上で $200\mu\text{m}$ 以下となるように設定することを特徴とする半導体装置の製造方法。

【請求項10】 半導体基板上に第一の配線を形成する工程と、第一の配線を形成した前記半導体基板上の全面

に層間絶縁膜を形成する工程と、前記層間絶縁膜を化学機械研磨により平坦化する工程と、平坦化された層間絶縁膜上に第二の配線を形成する工程とを含む半導体装置の製造方法であって、前記第一の配線がダミーパターンを有し、このダミーパターンを半導体チップ周囲のスクライブレーンの部分に配置することを特徴とする半導体装置の製造方法。

【請求項11】 半導体基板上に第一の配線を形成する工程と、第一の配線を形成した前記半導体基板上の全面に層間絶縁膜を形成する工程と、前記層間絶縁膜を化学機械研磨により平坦化する工程と、平坦化された層間絶縁膜上に第二の配線を形成する工程とを含む半導体装置の製造方法であって、前記第一の配線がダミーパターンを有し、このダミーパターンをボンディングパッドの部分に配置することを特徴とする半導体装置の製造方法。

【請求項12】 ダミーパターンをブロック状に配列する請求項9、10または11記載の半導体装置の製造方法。

【請求項13】 ダミーパターンのブロックのスペースを $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下とし、ラインを $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下とする請求項12記載の半導体装置の製造方法。

【請求項14】 半導体基板上に第一の配線を形成する工程と、第一の配線を形成した前記半導体基板上の全面に層間絶縁膜を形成する工程と、層間絶縁膜を化学機械研磨により平坦化する工程と、平坦化された層間絶縁膜上に第二の配線を形成する工程とを含む半導体装置の製造方法であって、前記層間絶縁膜を化学機械研磨による研磨速度の遅い下層層間絶縁膜と化学機械研磨による研磨速度の早い上層層間絶縁膜とで構成することを特徴とする半導体装置の製造方法。

【請求項15】 化学機械研磨による研磨速度の遅い下層層間絶縁膜をCVD酸化膜とし、化学機械研磨による研磨速度の早い上層層間絶縁膜をBPSG膜とする請求項14記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、特に多層配線の平坦化に化学機械研磨を用いる半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】多層配線を有する半導体装置では、下地配線に起因する凹凸を緩和するための層間膜の平坦化は、重要な技術の一つである。平坦化技術の一つとして、近年、化学機械研磨（以後CMPと記述する）が普及しつつある。このCMP法は、シリカ粒子を含む研磨液を注ぎながら定盤に貼り付けた研磨パッドにウエハを押しつけ、ウエハに荷重をかけながら定盤を回転させて、ウエハ表面の凸部のみを選択的に研磨することで、平坦化する方法である。CMPについては例えば、特開平4-155927号公報および特開平6-27561

6号公報にその方法が開示されている。また、CMPを行うとき、下地配線の疎密による平坦性の違いを抑制するために、配線のダミーパターンを使用する方法が特開平7-74175号公報に開示されている。さらに、特開平7-74175号公報では層間絶縁膜として、CMPの研磨速度の遅いプラズマ窒化膜と、研磨速度の速いシリコン酸化膜の2種類の膜を採用することで、研磨のストップ機能を高め、層間絶縁膜の過度の研磨が防止され、平坦化が実現されることも示している。

【0003】なお、配線のダミーパターンに関する技術は、化学機械研磨以外の平坦化方法ではより以前から知られており、例えば、特開昭61-276345号公報に開示されている。また、ダミーパターンを自動配置配線システムにより発生させる技術が特開平2-240946号公報に開示されている。さらにダミーパターンに金属配線を用いず絶縁膜を用いることにより、寄生容量が増加しない方法が、特開平6-69201号公報に開示されている。

【0004】

【発明が解決しようとする課題】しかしながら、上述の従来技術においては、以下の課題が存在する。特開平7-74175号公報に開示されているように、配線層をダミーパターンとして用いた場合、配線間のスペースが狭いと寄生容量が増加し、動作速度が遅くなるという課題がある。

【0005】また、ダミーパターンを、配線のスペースを埋め尽くす様に配置した場合、開発途中のレイアウト修正が頻繁に発生する段階では、他のレイヤのパターンを修正するとき、ダミーパターンがない場合は修正の必要がなくとも、ダミーパターンが存在するために修正が必要となることがある。この場合、修正に必要とする時間および費用が増加するという問題が発生する。

【0006】また、CMPの研磨速度の遅いプラズマ窒化膜と、研磨速度の速いシリコン酸化膜の2種類の膜を採用するとき、プラズマ窒化膜は応力が大きく、配線の信頼性を劣化させるという課題がある。すなわち、窒化膜とシリコン基板では膨張率が異なり、これが原因で応力が発生する。そして、アルミニウム配線に対してこの応力が長期間かかると、ストレスマイグレーションが発生し、アルミニウム配線が断線するという不良が発生する。また、プラズマ窒化膜とシリコン酸化膜ではウェットエッチング速度が極端に異なるため、後工程でコンタクトホールを形成するとコンタクトホール内に段ができ、コンタクトの歩留まりが低下するという問題が発生する。

【0007】したがって、この発明の目的は、上記問題点に鑑み、ダミーパターンを用いても、寄生容量が増加せず、またダミーパターンが存在することによるパターン修正頻度の増加のない、半導体装置およびその製造方法を提供することである。

【0008】

【課題を解決するための手段】この発明の請求項1記載の半導体装置は、半導体基板上の配線と、この配線が存在する半導体基板上の全面に形成されて上面が平坦化された層間絶縁膜とを備えた半導体装置であって、配線がダミーパターンを有し、このダミーパターンと信号線として用いる配線との距離が、 $3\mu\text{m}$ 以上で $200\mu\text{m}$ 以下となるように設定されている。

【0009】上記の構成によれば、半導体基板上の配線のダミーパターンと信号線として用いる配線との配線間距離が $3\mu\text{m}$ 程度で配線間寄生容量は十分に低下し、それ以上の配線間隔では寄生容量は低下しないため、配線間隔を $3\mu\text{m}$ 以上とすることにより寄生容量を無視でき、動作速度は遅くならない。また、CMPを用いて平坦化を行ったときに、層間絶縁膜の配線のない中央部で生じる凹みは、配線間隔 $200\mu\text{m}$ 以下とすることにより小さくなる。すなわち、ダミーパターンが配線パターンと $200\mu\text{m}$ 程度離れた箇所に存在しても、十分にダミーパターンとして平坦化への効果を発揮することができ、これに伴い、ダミーパターンを配線近傍に配置しないため、他のレイヤのパターンを修正するときでも、ダミーパターンの修正の必要がなくレイアウト修正が容易になる。

【0010】請求項2記載の半導体装置は、半導体基板上の配線と、この配線が存在する半導体基板上の全面に形成されて上面が平坦化された層間絶縁膜とを備えた半導体装置であって、配線がダミーパターンを有し、このダミーパターンが半導体チップ周囲のスクライブレインの部分に存在する。スクライブレインは通常 $50\sim 100\mu\text{m}$ 程度の幅があり、チップ周辺から約 $50\mu\text{m}$ には配線レイアウトが存在するが、請求項1に記載したように配線のダミーパターンの距離は $200\mu\text{m}$ 程度離れていてもダミーパターンとしての効果を有するので、上記のように半導体チップ周囲のスクライブレインの部分にダミーパターンが存在しても十分な平坦化が得られる。また、ダミーパターンと配線間のスペースが十分にあるので配線間寄生容量が増加する問題も生じずレイアウト修正も容易にできる。

【0011】請求項3記載の半導体装置は、半導体基板上の配線と、この配線が存在する半導体基板上の全面に形成されて上面が平坦化された層間絶縁膜とを備えた半導体装置であって、配線がダミーパターンを有し、このダミーパターンがボンディングパッドの部分に存在する。ボンディングパッド周辺から $50\mu\text{m}$ には配線レイアウトが存在するが、請求項1に記載したように配線のダミーパターンの距離は $200\mu\text{m}$ 程度離れていてもダミーパターンとしての効果を有するので、上記のようにボンディングパッドの部分にダミーパターンが存在しても十分な平坦化が得られる。また、ダミーパターンと配線間のスペースが十分にあるので配線間寄生容量が増加

する問題も生じずレイアウト修正も容易にできる。

【0012】請求項4記載の半導体装置は、半導体基板上の配線と、この配線が存在する半導体基板上の全面に形成されて上面が平坦化された層間絶縁膜とを備えた半導体装置であって、層間絶縁膜が化学機械研磨による研磨速度の遅い下層層間絶縁膜と、化学機械研磨による研磨速度の早い上層層間絶縁膜とで構成されている。このように、層間絶縁膜が化学機械研磨による研磨速度の遅い下層層間絶縁膜と、化学機械研磨による研磨速度の早い上層層間絶縁膜とで構成されているので、製造時に上層層間絶縁膜に対しある程度オーバーエッチングを行っても、下層層間絶縁膜はほとんどエッチングされない。このため、研磨のストップ機能を高め、層間絶縁膜の過度の研磨が防止され、平坦化が実現される。

【0013】請求項5記載の半導体装置は、請求項4において、下層層間絶縁膜がCVD酸化膜、上層層間絶縁膜がBPSG膜である。化学機械研磨を行った時のエッチング速度は、CVD酸化膜に対してBPSG膜は5倍程度早いので、下層層間絶縁膜がCVD酸化膜、上層層間絶縁膜がBPSG膜とすることにより、BPSG膜に対してある程度オーバーエッチングを行っても、CVD酸化膜はほとんどエッチングされず、エッチングのマージンを広く取ることができる。このため、オーバーエッチングのマージンを確保しながら、プラズマ窒化膜を用いた場合に起こる配線の信頼性劣化が起こらない。すなわち、従来のプラズマ窒化膜はストレスが多く、アルミニウム配線を用いたとき、ストレスマイグレーションによりアルミニウム配線が断線するという信頼性不良が発生するが、BPSG膜にはストレスがほとんどないため、ストレスマイグレーションが起こらず信頼性が確保される。

【0014】請求項6記載の半導体装置は、請求項1、2または3において、層間絶縁膜が化学機械研磨による研磨速度の遅い下層層間絶縁膜と、化学機械研磨による研磨速度の早い上層層間絶縁膜とで構成されている。このように、請求項1、2または3の構成により、線間寄生容量は増加しないため動作速度の遅延を防止し、また層間絶縁膜の平坦化を図るとともに、層間絶縁膜が化学機械研磨による研磨速度の遅い下層層間絶縁膜と、化学機械研磨による研磨速度の早い上層層間絶縁膜で構成されているので、このような2種類の膜を採用することで、平坦化の際に層間絶縁膜の過度の研磨を防止しかつ配線の信頼性劣化を防止することができる。

【0015】請求項7記載の半導体装置は、請求項1、2または3において、ダミーパターンがブロック状に配列されている。このように、ダミーパターンがブロック状に配列されることにより、ダミーパターン内にスペースを入れることで、ダミーパターン上の層間絶縁膜の膜厚は、信号線として用いる配線上の層間絶縁膜とほぼ同じ膜厚とすることができる。

【0016】請求項8記載の半導体装置は、請求項7において、ダミーパターンのブロックのスペースが $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下で、ラインが $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下である。このように、ダミーパターンのブロックのスペースが $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下で、ラインが $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下とすることにより請求項7の作用効果を効果的に得ることができる。

【0017】請求項9記載の半導体装置の製造方法は、半導体基板上に第一の配線を形成する工程と、第一の配線を形成した半導体基板上の全面に層間絶縁膜を形成する工程と、層間絶縁膜を化学機械研磨により平坦化する工程と、平坦化された層間絶縁膜上に第二の配線を形成する工程とを含む半導体装置の製造方法であって、第一の配線がダミーパターンを有し、このダミーパターンと信号線として用いる配線との距離が、 $3\mu\text{m}$ 以上で $200\mu\text{m}$ 以下となるように設定する。

【0018】このように、半導体基板上に第一の配線を形成する工程において、第一の配線がダミーパターンを有し、このダミーパターンと信号線として用いる配線との距離が、 $3\mu\text{m}$ 以上で $200\mu\text{m}$ 以下となるように設定するので、動作速度が遅くならず、また層間絶縁膜の平坦化を図るとともにレイアウト修正が容易になる。すなわち、ダミーパターンと信号線として用いる配線との配線間距離が $3\mu\text{m}$ 程度で配線間寄生容量は十分に低下し、それ以上の配線間隔では寄生容量は低下せず無視できる。このため、配線間隔を $3\mu\text{m}$ 以上とすることにより動作速度が遅くならない。また、CMPを用いて平坦化を行ったときに、層間絶縁膜の配線のない中央部で生じる凹みは、配線間隔 $200\mu\text{m}$ 以下とすることにより小さくなる。このため、ダミーパターンが配線パターンと $200\mu\text{m}$ 程度離れた箇所に存在しても、十分にダミーパターンとして平坦化への効果を発揮することができる。また、このように層間絶縁膜が平坦化されているので、この層間絶縁膜上に第二の配線を形成しても、フォーカスずれによる第二の配線の断線あるいはショートが発生しない。また、ダミーパターンを配線近傍に配置しないため、他のレイヤのパターンを修正するときでも、ダミーパターンの修正の必要がなくレイアウト修正が容易になる。

【0019】請求項10記載の半導体装置の製造方法は、半導体基板上に第一の配線を形成する工程と、第一の配線を形成した半導体基板上の全面に層間絶縁膜を形成する工程と、層間絶縁膜を化学機械研磨により平坦化する工程と、平坦化された層間絶縁膜上に第二の配線を形成する工程とを含む半導体装置の製造方法であって、第一の配線がダミーパターンを有し、このダミーパターンを半導体チップ周囲のスクライブレインの部分に配置する。

【0020】このように、半導体基板上に第一の配線を形成する工程において、第一の配線がダミーパターンを

有し、このダミーパターンを半導体チップ周囲のスクライブレーンの部分に配置するので、層間絶縁膜の十分な平坦化が得られる。すなわち、スクライブレーンは通常50～100 μ m程度の幅があり、チップ周辺から約50 μ mには配線レイアウトが存在するが、配線のダミーパターンの距離は200 μ m程度離れていてもダミーパターンとしての効果を有するので、上記のように半導体チップ周囲のスクライブレーンの部分にダミーパターンを配置しても十分な平坦化が得られる。また、このように層間絶縁膜が平坦化されているので、この層間絶縁膜上に第二の配線を形成しても、フォーカスずれによる第二の配線の断線あるいはショートが発生しない。また、ダミーパターンと配線間のスペースが十分にあるので配線間寄生容量が増加する問題も生じずレイアウト修正も容易にできる。

【0021】請求項11記載の半導体装置の製造方法は、半導体基板上に第一の配線を形成する工程と、第一の配線を形成した半導体基板上の全面に層間絶縁膜を形成する工程と、層間絶縁膜を化学機械研磨により平坦化する工程と、平坦化された層間絶縁膜上に第二の配線を形成する工程とを含み、第一の配線がダミーパターンを有し、このダミーパターンをボンディングパッドの部分に配置する。

【0022】このように、半導体基板上に第一の配線を形成する工程において、第一の配線がダミーパターンを有し、このダミーパターンをボンディングパッドの部分に配置するので、層間絶縁膜の十分な平坦化が得られる。すなわち、ボンディングパッド周辺から50 μ mには配線レイアウトが存在するが、配線のダミーパターンの距離は200 μ m程度離れていてもダミーパターンとしての効果を有するので、上記のようにボンディングパッドの部分にダミーパターンが存在しても十分な平坦化が得られる。また、このように層間絶縁膜が平坦化されているので、この層間絶縁膜上に第二の配線を形成しても、フォーカスずれによる第二の配線の断線あるいはショートが発生しない。また、ダミーパターンと配線間のスペースが十分にあるので配線間寄生容量が増加する問題も生じずレイアウト修正も容易にできる。

【0023】請求項12記載の半導体装置の製造方法は、請求項9または10において、ダミーパターンをブロック状に配列する。このように、ダミーパターンをブロック状に配列することにより、ダミーパターン内にスペースを入れることで、ダミーパターン上の層間絶縁膜の膜厚は、信号線として用いる配線上の層間絶縁膜とはほぼ同じ膜厚とすることができる。

【0024】請求項13記載の半導体装置の製造方法は、請求項12において、ダミーパターンのブロックのスペースを1 μ m以上5 μ m以下とし、ラインを1 μ m以上5 μ m以下とする。このように、ダミーパターンのブロックのスペースが1 μ m以上5 μ m以下とし、ライ

ンが1 μ m以上5 μ m以下とすることにより請求項12の作用効果を効果的に得ることができる。

【0025】請求項14記載の半導体装置の製造方法は、半導体基板上に第一の配線を形成する工程と、第一の配線を形成した半導体基板上の全面に層間絶縁膜を形成する工程と、層間絶縁膜を化学機械研磨により平坦化する工程と、平坦化された層間絶縁膜上に第二の配線を形成する工程とを含む半導体装置の製造方法であって、層間絶縁膜を化学機械研磨による研磨速度の遅い下層層間絶縁膜と化学機械研磨による研磨速度の早い上層層間絶縁膜とで構成する。

【0026】このように、半導体基板上に層間絶縁膜を形成する工程において、層間絶縁膜を化学機械研磨による研磨速度の遅い下層層間絶縁膜と、化学機械研磨による研磨速度の早い上層層間絶縁膜とで構成するので、上層層間絶縁膜に対しある程度オーバーエッチングを行っても、下層層間絶縁膜はほとんどエッチングされない。このため、研磨のストップ機能を高め、層間絶縁膜の過度の研磨が防止され、平坦化が実現される。

【0027】請求項15記載の半導体装置の製造方法は、請求項14において、化学機械研磨による研磨速度の遅い下層層間絶縁膜をCVD酸化膜とし、化学機械研磨による研磨速度の早い上層層間絶縁膜をBPSG膜とする。化学機械研磨を行った時の研磨速度であるエッチング速度は、CVD酸化膜に対してBPSG膜は5倍程度早いので、下層層間絶縁膜をCVD酸化膜とし、上層層間絶縁膜をBPSG膜とすることにより、BPSG膜に対してある程度オーバーエッチングを行っても、CVD酸化膜はほとんどエッチングされず、エッチングのマージンを広く取ることができる。このため、オーバーエッチングのマージンを確保しながら、プラズマ窒化膜を用いた場合に起こる配線の信頼性劣化が起こらない。すなわち、従来のプラズマ窒化膜はストレスが多く、アルミニウム配線を用いたとき、ストレスマイグレーションによりアルミニウム配線が断線するという信頼性不良が発生するが、BPSG膜にはストレスがほとんどないため、ストレスマイグレーションが起こらず信頼性が確保される。

【0028】

【発明の実施の形態】この発明の第1の実施の形態の半導体装置およびその製造方法を図1～図7に基づいて説明する。図1はこの発明の第1の実施の形態の半導体装置のレイアウト図、図2(a)はこの発明の第1の実施の形態のCMPする前の半導体装置の断面図であり、図2(b)はそのCMPした後の半導体装置の断面図である。図2(a)において、半導体基板1上に第一の配線2が存在し、その上の全面に層間絶縁膜3が存在する。層間絶縁膜3は、図2(b)に示すようにCMP(化学機械研磨)により平坦化される。また、第一の配線2は、図1に示すように、ダミーパターン5を有し、この

ダミーパターン5と信号線として用いる配線4との距離cが、 $3\mu\text{m}$ 以上で $200\mu\text{m}$ 以下となるように設定されている。また、平坦化された層間絶縁膜3上に第二の配線6が形成されている(図6(c))。

【0029】つぎに、この半導体装置の製造方法について説明する。図6(a)に示すように、半導体基板1上に第一の配線2を形成し、その上に層間絶縁膜3を形成する。次に図6(b)に示すように、層間絶縁膜2をCMPにより平坦化する。ここで、例えば配線2の膜厚を $0.5\mu\text{m}$ とし、層間絶縁膜3の膜厚を $1.5\mu\text{m}$ とすると、これをCMPすることで図2(b)に示すように層間絶縁膜3は平坦化されるが、配線のない中央部では凹みbが生じる。この凹みbと、配線間隔aとの関係を図3に示す。図3において、配線間隔aが $100\mu\text{m}$ のとき凹みbは $0.05\mu\text{m}$ と非常に小さい。従来の平坦化技術であるエッチバックあるいはSOGを用いたときは、配線間隔aが $5\mu\text{m}$ 程度で、凹みbは配線2の膜厚である $0.5\mu\text{m}$ となる。なお、CMPを用いたときでも配線間隔が無限大の時は、凹みbは配線2の膜厚である $0.5\mu\text{m}$ となる。

【0030】このように、CMPを用いたとき配線間隔aが $100\mu\text{m}$ 程度の場合でも凹みbが $0.05\mu\text{m}$ と非常に小さい。つまり、CMPを用いた平坦化では、ダミーパターンが、配線パターンと $100\mu\text{m}$ 程度離れた箇所に存在しても、十分ダミーパターンとして平坦化への効果を発揮する。この実施の形態では、ダミーパターン5と配線2の距離cが $200\mu\text{m}$ 以下となるように設定する。

【0031】一方、図5は寄生容量の配線間距離依存性をシミュレーション結果を示すグラフである。条件は、図4に示すように上層配線6は全面にあり、層間絶縁膜3の配線2上の膜厚 $0.5\mu\text{m}$ とし、配線2の膜厚も $0.5\mu\text{m}$ とする。そして、配線間隔aが無限大のとき、つまり上層配線6との配線容量のみのときを1とした時の線間容量を図5に示す。図5で明らかなように、配線間隔aが $3\mu\text{m}$ 程度で、十分容量は低下し、それ以上の配線間隔aではほとんど低下しないと言える。つまり、配線間隔aは $3\mu\text{m}$ 程度あれば寄生容量を無視できる。したがって、この実施の形態ではダミーパターン5と配線2の距離cが $3\mu\text{m}$ 以上 $200\mu\text{m}$ 以下となるように設定する。

【0032】この後、図6(c)に示すように、平坦化された層間絶縁膜3上に所望の第二の配線6を形成する。このとき、下地層間絶縁膜3が平坦化されているため、フォーカスずれによる配線6の断線あるいはショートが発生しない。以上のようにこの実施の形態によれば、ダミーパターン5が信号線としての配線4から $3\mu\text{m}$ 以上離れているので、配線容量の増加は発生せず、またダミーパターン5が配線4の近傍に少ないため、配線4のレイアウト変更に伴うダミーパターン5の修正がな

く、修正に必要とする時間および費用が増加しない。さらに、配線4から $200\mu\text{m}$ 以内にはダミーパターン5が存在するので、CMPを用いた平坦化を行ったときに発生する凹みbも発生しない、または極めて小さい。

【0033】なお、この実施の形態では、ダミーパターン5と配線4の距離cが $3\mu\text{m}$ 以上で $200\mu\text{m}$ 以下としたが、CMPの条件および下地配線の膜厚などが異なる場合、この範囲以外でも、同様の効果が得られる場合がある。さらに、図7に示すように、ダミーパターン5を例えば、 $2\mu\text{m}$ ブロックでスペースSを $2\mu\text{m}$ としたアレー状としても良い。このように、ダミーパターン5内にスペースSを入れることで、ダミーパターン5上の層間絶縁膜3の膜厚は、配線4上の層間絶縁膜3の膜厚とほぼ同じ膜厚とすることが出来る。なお、ブロックのスペースSが $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下で、ラインLが $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であればよい。

【0034】この発明の第2の実施の形態を図8～図10に基づいて説明する。図8および図9はこの発明の実施の形態の半導体装置のレイアウト図である。図8は半導体メモリの例で、図9は半導体ロジックの例を示す。いずれの半導体チップでもスクライブレン7およびボンディングパッド8が存在する。なお実際の配線レイアウトはチップサイズと比較して非常に微細なため、図8および図9では回路部9として一括表示している。

【0035】次に図10に半導体ウエハを示す。円形をした半導体ウエハ10上に形成された半導体チップ11は、各半導体チップの境界をスクライブすることにより個々の半導体チップに切り出した後、パッケージに組み立てることで最終製品となる。ここで、半導体ウエハ10をスクライブするのに必要となる領域がスクライブレイン7であり、通常 $50\sim 100\mu\text{m}$ 程度の幅がある。このスクライブレイン7は、図8および図9に示すように、半導体ウエハ10上に格子状に存在する。そして、この半導体装置では、配線がダミーパターンを有し、このダミーパターンが半導体チップ周囲のスクライブレイン7の部分に存在する。

【0036】通常、配線のレイアウトを行うときは、チップ周辺の $50\mu\text{m}$ までは使用するため、チップ周辺の $50\mu\text{m}$ には配線レイアウトが存在する。第1の実施の形態で説明したように配線とダミーパターンの距離は $200\mu\text{m}$ 程度離れてもダミーパターンとしての効果がある。このため、スクライブレイン7の部分に、ダミーパターンを有することで、十分な平坦化が得られる。

【0037】この半導体装置の製造方法は、半導体基板上に配線を形成する際に上記のようにダミーパターンをスクライブレイン7の部分に配置する。その後、第1の実施の形態と同様に、層間絶縁膜を形成し、全面をCMPすることで層間絶縁膜を平坦化し、その上に所望の配線を形成する。この方法は第1の実施の形態と比較して、ダミーパターンのレイアウトは容易になるが、配線

レイアウトをスクライブレン7近傍まで行う必要がある。

【0038】なお、スクライブレン7に配置したダミーパターンを、例えばチップに基板電位を固定させるための配線とするなど、他の目的と兼用してもよいことは言うまでもない。この発明の第3の実施の形態について説明する。第2の実施の形態の説明に用いた図8および図9において、この半導体装置では、配線がダミーパターンを有し、このダミーパターンがボンディングパッド8の部分に存在する。

【0039】通常、配線のレイアウトを行うときは、ボンディングパッド周辺の50 μ mまでは使用するため、ボンディングパッド周辺の50 μ mには配線レイアウトが存在する。第1の実施の形態で説明したように配線とダミーパターンの距離は200 μ m程度離れてもダミーパターンとしての効果がある。このため、ボンディングパッド8の部分に、ダミーパターンを有することで、十分な平坦化が得られる。

【0040】この半導体装置の製造方法は、半導体基板上に配線を形成する際に上記のようにダミーパターンをボンディングパッド8の部分に配置する。その後、第1の実施の形態と同様に、層間絶縁膜を形成し、全面をCMPすることで層間絶縁膜を平坦化し、その上に所望の配線を形成する。この方法は第1の実施の形態と比較して、ダミーパターンのレイアウトは容易になるが、配線レイアウトをボンディングパッド近傍まで行う必要がある。

【0041】なお、ボンディングパッド8に配置したダミーパターン中に、例えば測長パターンを配置するなど、他の目的と兼用してもよいことは言うまでもない。この発明の第4の実施の形態を図11に基づいて説明する。図11(a)はこの発明の第4の実施の形態の半導体装置のCMPする前の半導体装置の断面図であり、図11(b)はそのCMPした後の半導体装置の断面図である。図11(a)では、半導体基板1上に配線2が存在し、その上の全面に層間絶縁膜が存在する。この層間絶縁膜は、CMPによる研磨速度の遅い下層層間絶縁膜12およびCMPによる研磨速度の早い上層層間絶縁膜13からなり、下層層間絶縁膜12をCVD酸化膜としその膜厚を0.1 μ mとして、上層層間絶縁膜13をBPSG膜としその膜厚を1.4 μ mとする。

【0042】この半導体装置の製造方法は、半導体基板1上に配線2を形成し、その上にCMPによる研磨速度の遅い下層層間絶縁膜12とCMPによる研磨速度の早い上層層間絶縁膜13とを形成する。次に全面をCMPすることで層間絶縁膜を平坦化する。ここで、CMPを行った時のエッチング速度は、CVD酸化膜に対して、BPSG膜は5倍程度早い。このため、図11(b)に示すように、BPSG膜の上層層間絶縁膜13に対してある程度オーバーエッチングを行っても、CVD酸化

膜、の下層層間絶縁膜12はほとんどエッチングされない。このためエッチングのマージンを広く取ることができる。

【0043】なお、この第4の実施の形態を第1～3の実施の形態に適用してもよい。また、第2および第3の実施の形態において、第1の実施の形態で示したようにダミーパターンをブロック状に配列してもよい。

【0044】

【発明の効果】この発明の請求項1記載の半導体装置によれば、半導体基板上の配線のダミーパターンと信号線として用いる配線との配線間距離が3 μ m程度で配線間寄生容量は十分に低下し、それ以上の配線間隔では寄生容量は低下しないため、配線間隔を3 μ m以上とすることにより寄生容量を無視でき、動作速度は遅くならない。また、CMPを用いて平坦化を行ったときに、層間絶縁膜の配線のない中央部で生じる凹みは、配線間隔200 μ m以下とすることにより小さくなる。すなわち、ダミーパターンが配線パターンと200 μ m程度離れた箇所に存在しても、十分にダミーパターンとして平坦化への効果を発揮することができる。これに伴い、ダミーパターンを配線近傍に配置しないため、他のレイヤのパターンを修正するときでも、ダミーパターンの修正の必要がなくレイアウト修正が容易になる。

【0045】この発明の請求項2記載の半導体装置によれば、スクライブレンは通常50～100 μ m程度の幅があり、チップ周辺から約50 μ mには配線レイアウトが存在するが、請求項1に記載したように配線のダミーパターンの距離は200 μ m程度離れていてもダミーパターンとしての効果を有するので、半導体チップ周囲のスクライブレンの部分にダミーパターンが存在しても十分な平坦化が得られる。また、ダミーパターンと配線間のスペースが十分にあるので配線間寄生容量が増加する問題も生じずレイアウト修正も容易にできる。

【0046】この発明の請求項3記載の半導体装置によれば、ボンディングパッド周辺から50 μ mには配線レイアウトが存在するが、請求項1に記載したように配線のダミーパターンの距離は200 μ m程度離れていてもダミーパターンとしての効果を有するので、上記のようにボンディングパッドの部分にダミーパターンが存在しても十分な平坦化が得られる。また、ダミーパターンと配線間のスペースが十分にあるので配線間寄生容量が増加する問題も生じずレイアウト修正も容易にできる。

【0047】この発明の請求項4記載の半導体装置によれば、層間絶縁膜が化学機械研磨による研磨速度の遅い下層層間絶縁膜と、化学機械研磨による研磨速度の早い上層層間絶縁膜とで構成されているので、製造時に上層層間絶縁膜に対しある程度オーバーエッチングを行っても、下層層間絶縁膜はほとんどエッチングされない。このため、研磨のストップ機能を高め、層間絶縁膜の過度の研磨が防止され、平坦化が実現される。

【0048】請求項5では、化学機械研磨を行った時のエッチング速度は、CVD酸化膜に対してBPSG膜は5倍程度早いいため、下層層間絶縁膜がCVD酸化膜、上層層間絶縁膜がBPSG膜とすることにより、BPSG膜に対してある程度オーバーエッチングを行っても、CVD酸化膜はほとんどエッチングされず、エッチングのマージンを広く取ることができる。このため、オーバーエッチングのマージンを確保しながら、プラズマ窒化膜を用いた場合に起こる配線の信頼性劣化が起こらない。すなわち、従来のプラズマ窒化膜はストレスが多く、アルミニウム配線を用いたとき、ストレスマイグレーションによりアルミニウム配線が断線するという信頼性不良が発生するが、BPSG膜にはストレスがほとんどないため、ストレスマイグレーションが起こらず信頼性が確保される。

【0049】請求項6では、請求項1、2または3の構成により、線間寄生容量は増加しないため動作速度の遅延を防止し、また層間絶縁膜の平坦化を図るとともに、層間絶縁膜が化学機械研磨による研磨速度の遅い下層層間絶縁膜と、化学機械研磨による研磨速度の早い上層層間絶縁膜で構成されているので、このような2種類の膜を採用することで、平坦化の際に層間絶縁膜の過度の研磨を防止しかつ配線の信頼性劣化を防止することができる。

【0050】請求項7では、ダミーパターンがブロック状に配列されることにより、ダミーパターン内にスペースを入れることで、ダミーパターン上の層間絶縁膜の膜厚は、信号線として用いる配線上の層間絶縁膜とほぼ同じ膜厚とすることができる。請求項8では、ダミーパターンのブロックのスペースが $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下で、ラインが $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下とすることにより請求項7の作用効果を効果的に得ることができる。

【0051】この発明の請求項9記載の半導体装置の製造方法によれば、半導体基板上に第一の配線を形成する工程において、第一の配線がダミーパターンを有し、このダミーパターンと信号線として用いる配線との距離が、 $3\mu\text{m}$ 以上で $200\mu\text{m}$ 以下となるように設定するので、動作速度が遅くならず、また層間絶縁膜の平坦化を図るとともにレイアウト修正が容易になる。すなわち、ダミーパターンと信号線として用いる配線との配線間距離が $3\mu\text{m}$ 程度で配線間寄生容量は十分に低下し、それ以上の配線間隔では寄生容量は低下せず無視できる。このため、配線間隔を $3\mu\text{m}$ 以上とすることにより動作速度が遅くならない。また、CMPを用いて平坦化を行ったときに、層間絶縁膜の配線のない中央部で生じる凹みは、配線間隔 $200\mu\text{m}$ 以下とすることにより小さくなる。このため、ダミーパターンが配線パターンと $200\mu\text{m}$ 程度離れた箇所に存在しても、十分にダミーパターンとして平坦化への効果を発揮することができる。また、このように層間絶縁膜が平坦化されているの

で、この層間絶縁膜上に第二の配線を形成しても、フォーカスずれによる第二の配線の断線あるいはショートが発生しない。このため、上層配線のフォーカスマージンが広くなり、配線の微細化をすることができる。また、ダミーパターンを配線近傍に配置しないため、他のレイヤのパターンを修正するときでも、ダミーパターンの修正の必要がなくレイアウト修正が容易になる。

【0052】この発明の請求項10記載の半導体装置の製造方法によれば、半導体基板上に第一の配線を形成する工程において、第一の配線がダミーパターンを有し、このダミーパターンを半導体チップ周囲のスクライブレーンの部分に配置するので、層間絶縁膜の十分な平坦化が得られる。すなわち、スクライブレンは通常 $50\sim 100\mu\text{m}$ 程度の幅があり、チップ周辺から約 $50\mu\text{m}$ には配線レイアウトが存在するが、配線のダミーパターンの距離は $200\mu\text{m}$ 程度離れていてもダミーパターンとしての効果を有するので、上記のように半導体チップ周囲のスクライブレーンの部分にダミーパターンを配置しても十分な平坦化が得られる。また、このように層間絶縁膜が平坦化されているので、この層間絶縁膜上に第二の配線を形成しても、フォーカスずれによる第二の配線の断線あるいはショートが発生しない。このため、上層配線のフォーカスマージンが広くなり、配線の微細化をすることができる。また、ダミーパターンと配線間のスペースが十分にあるので配線間寄生容量が増加する問題も生じずレイアウト修正も容易にできる。

【0053】この発明の請求項11記載の半導体装置の製造方法によれば、半導体基板上に第一の配線を形成する工程において、第一の配線がダミーパターンを有し、このダミーパターンをボンディングパッドの部分に配置するので、層間絶縁膜の十分な平坦化が得られる。すなわち、ボンディングパッド周辺から $50\mu\text{m}$ には配線レイアウトが存在するが、配線のダミーパターンの距離は $200\mu\text{m}$ 程度離れていてもダミーパターンとしての効果を有するので、上記のようにボンディングパッドの部分にダミーパターンが存在しても十分な平坦化が得られる。また、このように層間絶縁膜が平坦化されているので、この層間絶縁膜上に第二の配線を形成しても、フォーカスずれによる第二の配線の断線あるいはショートが発生しない。このため、上層配線のフォーカスマージンが広くなり、配線の微細化をすることができる。また、ダミーパターンと配線間のスペースが十分にあるので配線間寄生容量が増加する問題も生じずレイアウト修正も容易にできる。請求項12では、ダミーパターンをブロック状に配列することにより、ダミーパターン内にスペースを入れることで、ダミーパターン上の層間絶縁膜の膜厚は、信号線として用いる配線上の層間絶縁膜とほぼ同じ膜厚とすることができる。

【0054】請求項13では、ダミーパターンのブロックのスペースが $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下とし、ラインが1

10

20

30

40

50

μm 以上 $5\mu\text{m}$ 以下とすることにより請求項12の作用効果を効果的に得ることができる。この発明の請求項14記載の半導体装置の製造方法によれば、半導体基板上に層間絶縁膜を形成する工程において、層間絶縁膜を化学機械研磨による研磨速度の遅い下層層間絶縁膜と、化学機械研磨による研磨速度の早い上層層間絶縁膜とで構成するので、上層層間絶縁膜に対しある程度オーバーエッチングを行っても、下層層間絶縁膜はほとんどエッチングされない。このため、研磨のストップ機能を高め、層間絶縁膜の過度の研磨が防止され、平坦化が実現される。

【0055】請求項15では、化学機械研磨を行った時の研磨速度であるエッチング速度は、CVD酸化膜に対してBPSG膜は5倍程度早いいため、下層層間絶縁膜をCVD酸化膜とし、上層層間絶縁膜をBPSG膜とすることにより、BPSG膜に対してある程度オーバーエッチングを行っても、CVD酸化膜はほとんどエッチングされず、エッチングのマージンを広く取ることができる。このため、オーバーエッチングのマージンを確保しながら、プラズマ窒化膜を用いた場合に起こる配線の信頼性劣化が起こらない。すなわち、従来のプラズマ窒化膜はストレスが多く、アルミニウム配線を用いたとき、ストレスマイグレーションによりアルミニウム配線が断線するという信頼性不良が発生するが、BPSG膜にはストレスがほとんどないため、ストレスマイグレーションが起こらず信頼性が確保される。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態の半導体装置のレイアウトを示す概念図である。

【図2】(a)はこの発明の第1の実施の形態の半導体装置のCMPする前の断面図、(b)はそのCMPした後の断面図である。

【図3】この発明の第1の実施の形態において配線間隔

と凹みの関係を示すグラフである。

【図4】第1の実施の形態を説明するシミュレーションに用いた半導体装置の断面図である。

【図5】第1の実施の形態を説明するためのシミュレーション結果で配線間隔と線間容量の関係を示すグラフである。

【図6】(a)から(c)はこの発明の実施の形態の半導体装置の製造方法を説明するための工程断面図である。

【図7】この発明の第1の実施の形態の半導体装置の変形例で他のレイアウトを示す概念図である。

【図8】この発明の第2および第3の実施の形態の半導体装置のチップレイアウトを示す概念図である。

【図9】この発明の第2および第3の実施の形態の半導体装置の別のチップレイアウトを示す概念図である。

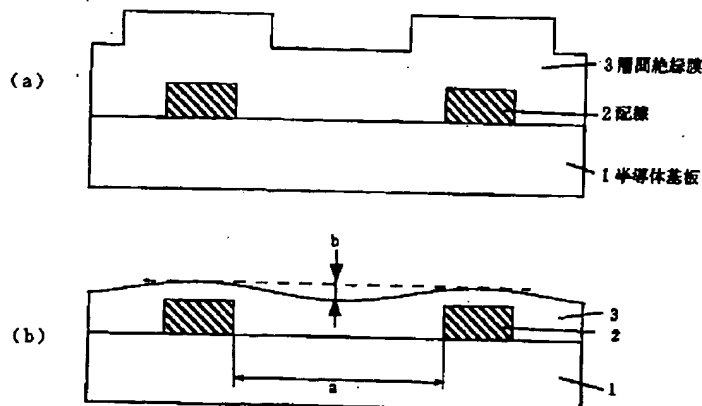
【図10】この発明の第2および第3の実施の形態を説明するための半導体ウエハの平面図である。

【図11】(a)および(b)はこの発明の第4の実施の形態の半導体装置の工程断面図である。

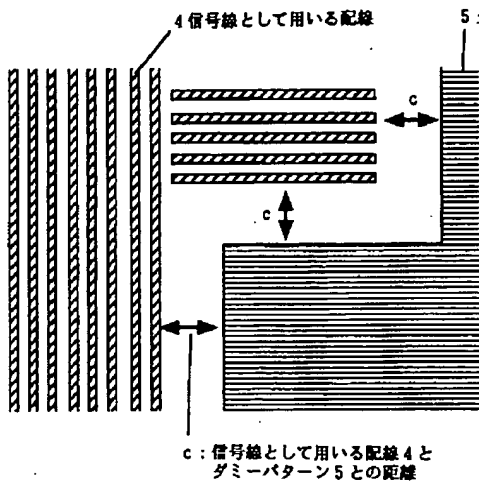
【符号の説明】

- 1 半導体基板
- 2 第一の配線
- 3 層間絶縁膜
- 4 信号線として用いる配線
- 5 ダミーパターン
- 6 第二の配線
- 7 スクライブレーン
- 8 ボンディングパッド
- 9 回路部
- 10 半導体ウエハ
- 11 半導体チップ
- 12 下層層間絶縁膜
- 13 上層層間絶縁膜

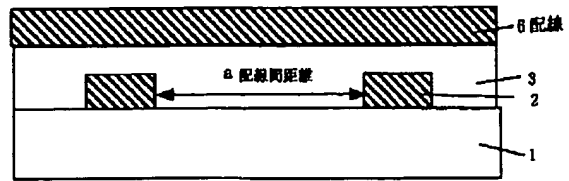
【図2】



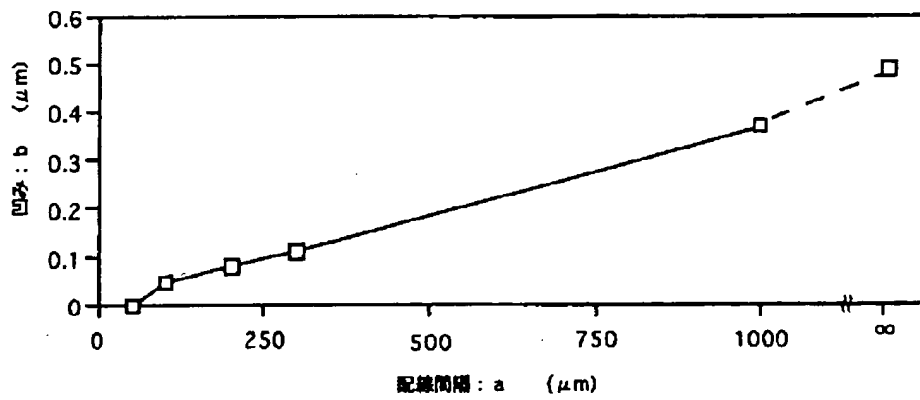
【図1】



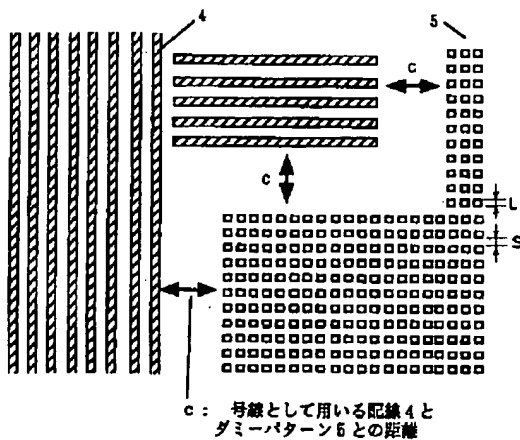
【図4】



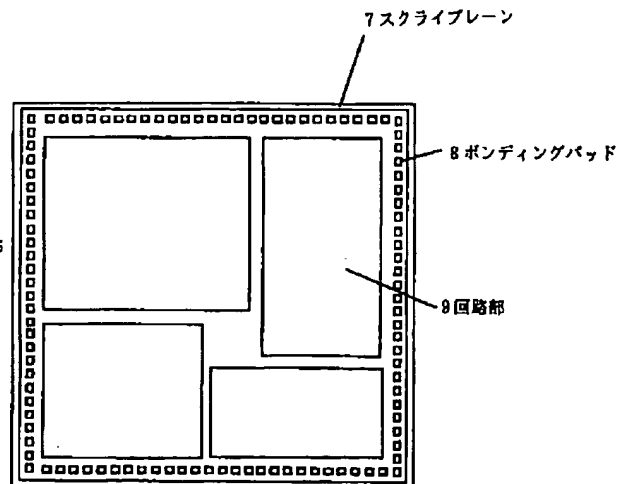
【図3】



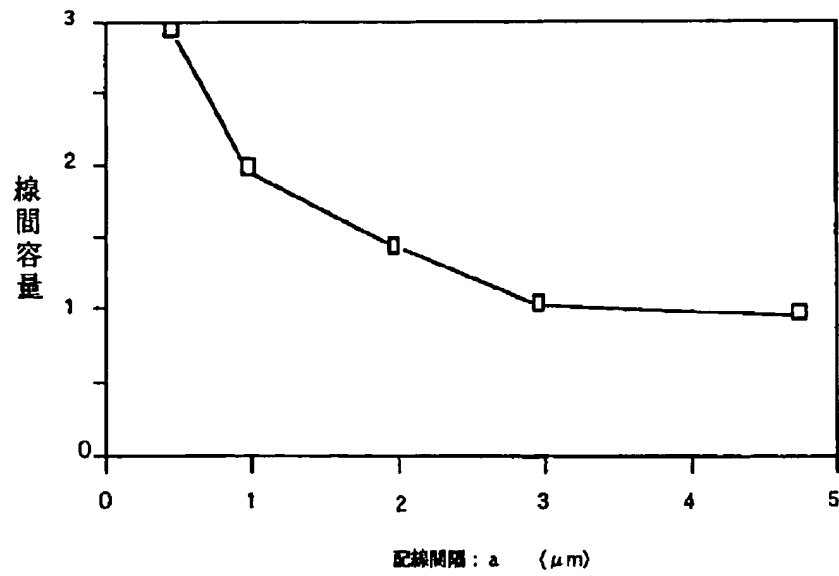
【図7】



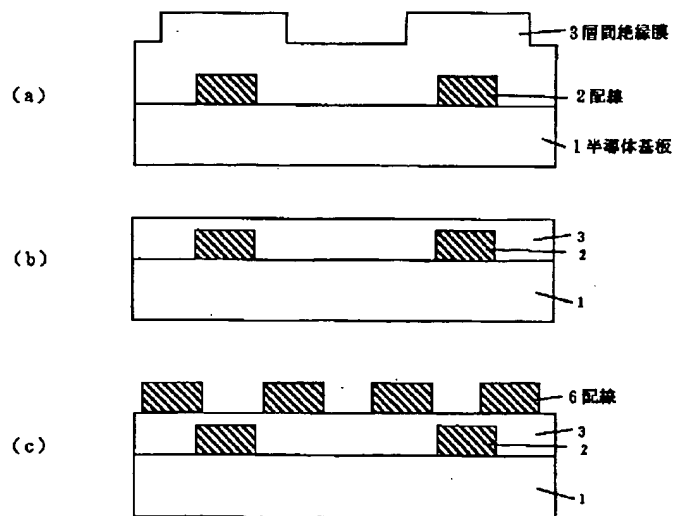
【図8】



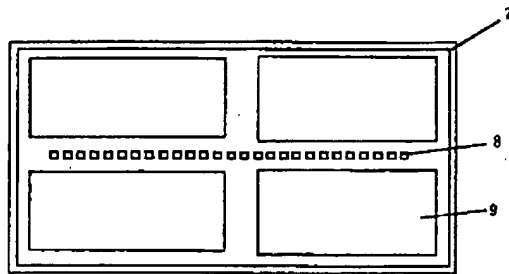
【図5】



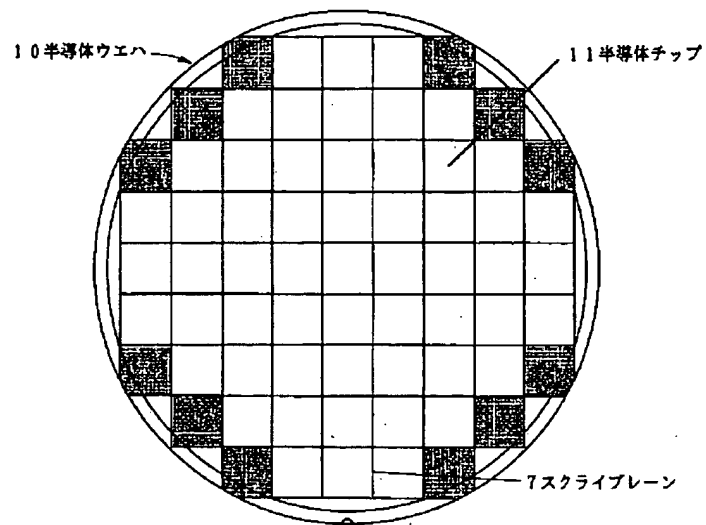
【図6】



【図9】



【図10】



【図11】

